

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-307736

(43)Date of publication of application : 05.11.1999

(51)Int.Cl.

H01L 27/108
H01L 21/8242

(21)Application number : 10-111218

(71)Applicant : SHARP CORP

(22)Date of filing : 22.04.1998

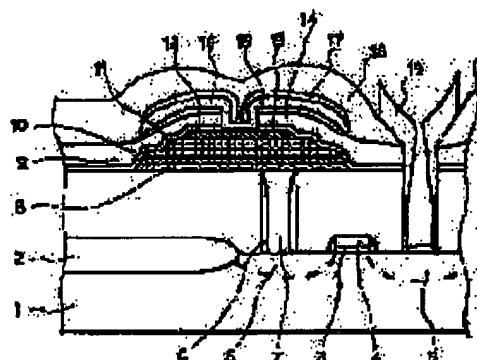
(72)Inventor : OKUTO AKIRA
ISHIHARA KAZUYA

(54) MANUFACTURE OF SEMICONDUCTOR MEMORY ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To avoid shrinkage or morphological degradation due to the grain growth of finely formed upper electrode Pt by micromaching Pt, after heat treating it.

SOLUTION: This manufacturing method comprises forming a selective transistor on the surface of an Si substrate 1 through the known technology, forming a first Si oxide film 6 to be a layer insulation, forming contact holes, filling polysilicon in the contact holes, flattening the surface, forming a polysilicon plug 7, forming a TaSi nitride film 8 on the polysilicon plug 7, forming an Ir film 9 and Ir oxide film 10, forming an SBT film 11 on the Ir oxide film 10, forming a Pt film thereon, heat treating in oxygen, processing the Pt film to be an upper electrode by the dry etching method, and sequentially processing an upper electrode 12, the SBT film 11, Ir oxide film 10, Ir film 9 and TaSi nitride film 8.



LEGAL STATUS

[Date of request for examination] 02.02.2001

[Date of sending the examiner's decision of rejection] 28.01.2003

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-307736

(43) 公開日 平成11年(1999)11月5日

(51) Int. Cl.⁴

識別記号

F I

H 0 1 L 27/108

H 0 1 L 27/10

6 5 1

21/8242

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21) 出願番号

特願平10-111218

(22) 出願日

平成10年(1998)4月22日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 奥野 章

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 石原 健也

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

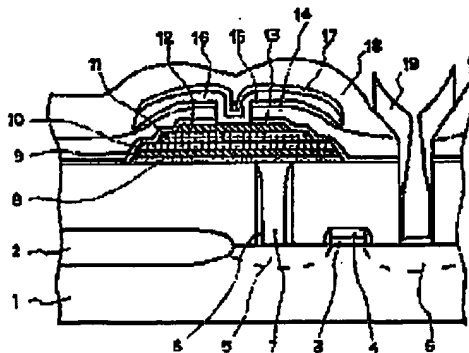
(74) 代理人 弁理士 小池 啓嗣

(54) 【発明の名称】 半導体メモリ素子の製造方法

(57) 【要約】

【課題】 所望の正確な形状や平坦な表面が得られないと、キャパシタの特性ばらつきを引き起こしたり、微細なパターンニングを困難にするばかりか、キャパシタ上に層間絶縁膜や配線を施す際に密着性が悪くなる。

【解決手段】 シリコン基板1の表面に遷移トランジスタを公知の技術で形成した後、層間絶縁膜として第1のシリコン酸化膜6を成膜し、コンタクトホールを形成する。次に、コンタクトホールにポリシリコンを埋め込んだ後、表面を平坦化し、ポリシリコンプラグ7を形成する。このポリシリコンプラグ7上に、タンタルシリコン窒化膜8を成膜し、次に、イリジウム膜9、イリジウム酸化膜10を成膜した。次に、イリジウム酸化膜10上にS B T膜11を形成した。この上に白金膜を形成し、酸液中で熱処理工程を行った。次に、上部電極となる白金膜をドライエッチング法で、上部電極12、S B T膜11、イリジウム酸化膜10、イリジウム膜9及びタンタルシリコン窒化膜8順次加工した。



(2)

特開平11-307738

1

【特許請求の範囲】

【請求項1】 下部電極、誘電体膜及び上部電極からなるキャパシタを有する半導体メモリ素子の製造方法において、

上記下部電極上に上記誘電体膜を形成した後、上記上部電極材料を上記誘電体膜上に堆積させる工程と、

所定の温度での熱処理を行った後、所定の形状にパターニングすることにより上部電極を形成する工程とを有することを特徴とする、半導体メモリ素子の製造方法。

【請求項2】 上記熱処理を400℃以上、且つ、800℃以下で行うことを特徴とする、請求項1に記載の半導体メモリ素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は下部電極、誘電体膜及び上部電極からなるキャパシタを有する半導体メモリ素子の製造方法に関するものである。

【0002】

【従来の技術】 従来の不揮発性メモリであるEPROMやEEPROM、フラッシュメモリ等は読み出し時間こそDRAM並であるが、書き込み時間が長く、高速動作は期待できない。これに対して、誘電体キャパシタを用いた不揮発性の半導体メモリ素子は、読み出し、書き込み共にDRAM並であり、高速動作の期待できる。誘電体キャパシタの電極材料として、誘電体を結晶化させるための高温酸化雰囲気中における耐性があるなどの理由から、従来より上部電極、下部電極ともに白金が広く用いられている。

【0003】 一方、誘電体キャパシタに用いる誘電体材料としては、これまでよく検討されてきた $Pb_2Zr_{1-x}Ti_xO_7$ (PZT) や新たに $SrBi_{1-x}Ta_xO_7$ (SBT) や $Bi_{1-x}Ti_xO_7$ (BIT) が注目され、現在盛んに検討されている。

【0004】 誘電体膜の形成方法は、MOD (Metal Organic Deposition) 法、ゾルゲル法、MOCVD法 (Metal Organic Chemical Vapor Deposition) 法、スパッタリング法等があるが、いずれの成膜法においても、酸化誘電体膜は600℃～800℃程度の高温の酸化雰囲気で熱処理で結晶化させる必要がある。

【0005】 上述した誘電体膜のなかでも、SBTは、PZTに比べて疲労特性が良く、低電圧駆動が可能であるという利点があり、高集積誘電体メモリ素子への応用が有力視されている。しかし、SBT膜を結晶化させ、上部電極を形成しただけの状態では、キャパシタリーク電流が多いという問題があった。そこで、従来は上部電極を基板全面にわたって形成し、所望の形状に加工した後で、酸化雰囲気中で熱処理を加えることにより、リーク電流特性を向上させる方法が採られていた。

2

【0006】

【発明が解決しようとする課題】 しかしながら、従来のように白金上部電極を所望の形状に加工した上で熱処理工程を行うと、その熱処理工程中に上部電極の白金が再結晶化するので粒成長が起こり、当初の所望の形状から収縮して隙間がひびついたり、モフォロジーが悪化して平坦性が悪くなるという問題点があった。

【0007】 また、上部電極の白金の加工は一般的にドライエッチング法を用いて行われるが、この場合、上部電極の下地のSBTについても、白金のエッチングの際のオーバーエッチングにより、表面の突出したSBTがエッチングされるため、露出したSBT表面は平坦である。ところが、その後、熱処理工程を行うとSBTもまた再結晶化し、表面モフォロジーが悪化するという問題があった。

【0008】 このように、所望の正確な形状や平坦な表面が得られないと、キャパシタの特性ばらつきを引き起こしたり、微細なパターニングを困難にするばかりか、キャパシタ上に層間絶縁膜や配線を施す際に密着性が悪くなり、信頼性を引き起こす原因となる。

【0009】 一方、誘電体メモリ素子の高集積化を実現するためには、スタック型構造を採ることが求められる。スタック型構造の場合には、ポリシリコンプラグなどを用いて、キャパシタ部と選択トランジスタとの電気的な導通を得る。その場合には、下部電極や誘電体膜とプラグとの反応を防ぎ、キャパシタを構成する各元素の拡散を防ぐバリアメタルや、キャパシタ形成時の結晶化熱処理の雰囲気等から拡散してくる酸素によってそれ自身やバリアメタル及びプラグ表面が酸化されないようなキャパシタ下部電極も要求される。

【0010】 しかしながら、バリアメタルや下部電極に高温酸化雰囲気中での長時間にわたる十分な耐性がないため、下部電極形成後の熱処理工程は全て低温化する必要があったが、低温で従来のように上部電極形成後のリーク低減のための熱処理工程を行うと、優れたリーク特性の誘電体キャパシタが得られないという問題があった。

【0011】

【課題を解決するための手段】 請求項1に記載の半導体メモリ素子の製造方法は、下部電極、誘電体膜及び上部電極からなるキャパシタを有する半導体メモリ素子の製造方法において、上記下部電極上に上記誘電体膜を形成した後、上記上部電極材料を上記誘電体膜上に堆積させる工程と、所定の温度での熱処理を行った後、所定の形状にパターニングすることにより上部電極を形成する工程とを有することを特徴とするものである。

【0012】 また、請求項2に記載の本発明の半導体メモリ素子の製造方法は、上記熱処理を400℃以上、且つ、800℃以下で行うことを特徴とする、請求項1に記載の半導体メモリ素子の製造方法である。

(3)

特開平11-307736

3

【0013】

【発明の実施の形態】以下、実施の形態に基づいて、本発明の半導体メモリ素子の製造方法について説明する。

【0014】図1は本発明の実施の形態の半導体メモリ素子の前半の製造工程図であり、図において、1はn型シリコン基板、2はn型シリコン基板の表面に形成された素子分離のためのロコス酸化膜、3はゲート酸化膜、4はゲート電極、5はソース/ドレイン領域、6はシリコン基板1上に層間絶縁膜として形成された第1のシリコン酸化膜、7はソース/ドレイン領域5とキャパシタ下部電極とのコンタクトを取るために形成されたポリシリコンプラグ、8はポリシリコンプラグ上に拡散バリアとして形成されたタンタルシリコン窒化膜(TaSiN)、9は拡散バリア及び酸素阻止膜として形成されたイリジウム(Ir)膜、10は強誘電体キャパシタの下部電極及び酸素阻止膜として形成されたイリジウム酸化(IrO₂)膜、11は下部電極上に形成された強誘電体膜であるSBT膜、12はSBT膜上に形成された白金を用いた上部電極、13は強誘電体膜の拡散及びシリサイド反応の防止のための酸化チタン膜、14は層間絶縁膜として形成された第2のシリコン酸化膜、15は第2のシリコン酸化膜と上部電極との密着層であるチタン膜、16はドライラインとなる白金膜、17は密着層であり且つ反射防止膜である酸化チタン膜、18は層間絶縁膜として形成された第3のシリコン酸化膜、18はソース/ドレイン領域とのコンタクトを取るために形成されたアルミニウムの引き出し電極である。尚、本実施の形態においては、n型シリコン基板について述べるが、本発明はこれに限定されるものではない。

【0015】以下、図1を用いて本発明の半導体メモリ素子の製造工程を説明する。

【0016】まず、n型シリコン基板1の表面に厚さが約500Åのロコス酸化膜2を形成して、素子分離領域を形成する。次に、ゲート酸化膜3、ゲート電極4、ソース/ドレイン領域等からなる選択トランジスタを公知の技術で形成した後、層間絶縁膜としてCVD(Chemical Vapor Deposition)法で第1のシリコン酸化膜6を5000Å程度成膜し、フォトリソグラフィ技術及びドライエッチング技術を用いて、直径0.5μmのコンタクトホールを形成する。次に、CVD法でコンタクトホールにポリシリコンを埋め込んだ後、CMP法で表面を平坦化し、ポリシリコンプラグ7を形成する。

【0017】このポリシリコンプラグ7上に、DCマグネトロン反応性スパッタ法で膜厚700Åのタンタルシリコン窒化膜8を成膜し、次に、DCマグネトロン反応性スパッタ法で膜厚300Åのイリジウム膜9を成膜し、更に、DCマグネトロン反応性スパッタ法で、膜厚1000Åのイリジウム酸化膜10を成膜した。

【0018】形成されたイリジウム酸化膜10は非常に

平滑な導電性をもった電極であり、その下部のイリジウム膜9はイリジウム酸化膜10の成膜時にタンタルシリコン窒化膜8の表面が酸化されるのを抑制するとともに、強誘電体の焼成時の酸素雰囲気からの酸素の拡散を防ぐ。また、タンタルシリコン窒化膜8はイリジウム膜9とポリシリコンプラグ7とのシリサイド反応を防ぐバリアメタルである。

【0019】次に、MOD法により、イリジウム酸化膜10上にSBTのMOD原料溶液をスピナーを用いて3000rpmで塗布し、乾燥を250℃で5分間行った。第1の焼成を大気圧の酸素雰囲気中で500℃で10分間行った。その後、結晶化のための熱処理として、RTA(Rapid Thermal Annealing)法で、670℃で10分間の第2の焼成を酸素を含む雰囲気中で行った。

【0020】塗布から結晶化のための熱処理までの工程を所望の膜厚約1800ÅのSBT膜11になるように3回又は4回繰り返した。尚、SBT膜11の形成方法は、MOD法だけでなく、スパッタリング法、MOCVD法等でもよい。この強誘電体膜上にDCマグネトロン反応性スパッタ法で、白金膜を1500Å形成し、第3の焼成として、炉で700℃で30分間の酸素中で熱処理工程を行った。

【0021】第3の焼成温度としては、400℃〜800℃であることが望ましい。400℃より低い温度では、十分にキャパシタリーク電流が向上しないという問題が生じ、また、800℃より高い温度では、上部電極である白金膜ばかりが強誘電体であるSBT膜自体の再結晶化によりモフォロジーが悪化する。また、下部電極が剥離を起こしたり、バリアメタルの酸化という問題も生じ、キャパシタ特性が得られないという問題も生じる。

【0022】次に、フォトリソグラフィ技術を用いて、フォトレジストによるパターニングを行い、上部電極となる白金膜をドライエッチング法で2.7μm角に加工し、上部電極12を形成した。同様に、SBT膜11を3.2μm角に、下部電極となるイリジウム酸化膜10と拡散バリアとしてのイリジウム膜9、タンタルシリコン窒化膜8を3.6μm角に加工した。

【0023】その後、RFマグネトロン反応性スパッタリングで酸化チタン膜13を強誘電体キャパシタを構成する元素の拡散防止膜として250Å形成した。この上に第2の層間絶縁膜14としてオゾンTEOS膜を膜厚2000Å形成し、更にRFマグネトロン反応性スパッタリングによりチタン膜15をその上部に形成されるドライラインとなる白金との密着層として250Å形成した。

【0024】次に、上層からチタン膜15、第2の層間絶縁膜14、酸化チタン膜13を1.2μm角で、上部電極12表面まで開口する。

(4)

特開平11-307736

5

6

【0025】次に、ドライブラインとなる白金膜16をDCマグネトロン反応性スパッタリング法により、膜厚1000Åとなるように形成した。この白金膜16上に窒化チタン膜17をRFマグネトロン反応性スパッタリング法で作成した。これは、この上層に形成される第3の層間絶縁膜18との密着性を向上させ、また、フォトリソグラフィ工程の際の反射防止膜として働く。フォトリソグラフィ技術とドライエッチング技術を用いて窒化チタン膜17と白金膜16とチタン膜15とをパターンニングし、ドライブライン形状に加工した。ここで、上部電極12の加工以降の工程で、強誘電体キャパシタに与えられた偏極や電荷の漏れ等を正常状態に回復させるために、大気圧の酸素雰囲気中で、550℃、30秒間の短時間熱処理工程をRTA法で行った。

【0026】次に、第3の層間絶縁膜18を成膜し、ここにコンタクトホールを開孔し、ソース/ドレイン領域からのアルミニウム引き出し電極19をDCマグネトロン反応性スパッタリング法にて形成した。

【0027】上述の工程により作成された強誘電体キャパシタの上部電極12へ繋がるドライブライン16とシリコン基板1からのアルミニウム引き出し電極19との間に三角波電圧を印加することにより、図2に示すヒステリシスループが得られた。尚、この印加した三角波は、3Vで周波数75Hzとした。図2に示したように、3Vで飽和分極値は12.1μmC/cm²、残留分極値は7.2μC/cm²、図3に示すようにキャパシタリーク電流密度は1.4×10⁻⁹A/cm²であり、強誘電体キャパシタとして用いるのに十分な特性の強誘電性が得られた。

【0028】一方、比較のために、従来の製造方法を用いて、キャパシタ上部電極の白金を2.7μm角に加工してから第3の焼成を600℃、10分間、酸素雰囲気中で行った試料を作製した。この試料のリーク電流特性を測定したところ、図4に示すように、キャパシタリーク電流密度で、1.2×10⁻⁹A/cm²という特性が得られ、本発明の製造工程によって得られた試料の特性の方が優れていることが示された。図3(a)は本発明を用いた印加電圧を0～10(V)としたときのリーク電流特性を示し、同(b)は本発明を用いた印加電圧を0～+10(V)としたときのリーク電流特性を示す。また、図4(a)は従来技術を用いた印加電圧を0～10(V)としたときのリーク電流特性を示し、同(b)は従来技術を用いた印加電圧を0～+10(V)としたときのリーク電流特性を示す。

【0029】このリーク電流の低減は主にアニール湿度に依存している。上部電極白金はSBT上に均一に堆積されるため、SBT膜の粒界に入り込んだ白金が存在するとその部分に電界が集中し、リーク電流の増大に繋がる。

【0030】しかし、白金の堆積後に熱処理を行うと局

所的な電界によってSBT粒界に入り込んだ白金が上部に吸い出されるために、電界集中が緩和され、リーク特性の向上につながる。熱処理温度及び時間が長い方がリーク電流特性の向上に寄与するが、この構造のイリジウム及び酸化イリジウムの酸素バリアの効果は上部電極白金がない場合、既に高温の熱処理を経ているため、600℃、10分間程度までしかなく、それにより高温での熱処理を行うと、シリサイド反応を抑制するタンタルシリコン窒化膜が酸化され、その堆積影響によりその上部から剥離が生じてしまう。

【0031】一方、本発明のように、上部電極である白金を全面に張したままである場合、雰囲気から拡散していく酸素を緩和できるので、700℃での熱処理も可能となる。また、SEM及びAFM像によって、上部電極の白金を2.7μm角に加工した場合、従来方法では、上部電極の白金パターン端部より平均して0.2μm程度、最大で0.4μmもの収縮が見られ、白金の平均粒径は0.2μmと大きかったが、本発明による製造工程によって得られた上部電極では、パターン端部での収縮は見られず、白金の平均粒径も0.15μmと比較的平滑であった。

【0032】本発明の実施形態において、強誘電体としてSrBi₂Ta₂O₉を用いたが、その他の誘電体として、(Pb,Lu,...)(Zr,Ti,...)O₃, Bi,Ti₂O₇, BaTiO₃, LiNbO₃, LiTaO₃, YMoO₄, Sr,Nb₂O₇, SrBi₂(Ta,Nb,...)O₉, (0≤x,y≤1)、また、強誘電体材料であるSrTiO₃及び(Ba,Sr,...)TiO₃, SrBi₂Ti₂O₉, (0≤x≤1)でも同様な効果が得られる。

【0033】また、上部電極をPtとしたが、強誘電体特性を引き出せるものであれば、これに限ったものではなく、Rh, Ir, Ruまたはこれらの酸化物、合金及び合金の酸化物又はそれらの組み合わせを用いても、同様な効果が得られた。

【0034】

【発明の効果】以上、詳細に説明したように、上部電極白金を熱処理工程を行ってから微細加工することにより、微細化された上部電極白金の粒成長に伴う収縮やモフォロジーの悪化の問題が回避できた。上部電極白金の熱処理条件は、従来より高温の700℃、30分間の酸素雰囲気で行うことにより、キャパシタリークは低減された。また、熱処理工程を行ってから、上部電極の白金をドライエッチング法によって加工し、その後での高温の熱処理工程はないので、SBT表面の露出した部分では非常に平滑な表面が得られた。キャパシタは所望の寸法・形状で作製されたので、キャパシタの特性ばらつきは殆どみられず、また、配線を形成するために必要な層間絶縁膜をキャパシタ上に積層した場合にも剥離などの現象は見られなかった。

【0035】メモリセルがスタック型構造をとっている

(5)

特開平11-307736

7

場合には、SBT及び下部電極を通してその下のバリアメタルに酸素が拡散したりヒロックが発生したりして、耐酸化性、耐熱性に限界があるため、高温酸化雰囲気中の熱処理を行うことが難しいが、上部電極の白金によって、キャパシタ下部電極への酸素の拡散が緩和される。

【0038】よって、従来では高くても600℃程度の短時間の熱処理しかできなかったが、本発明により高温の酸化雰囲気中で熱処理を行うことができるので、キャパシタ特性、特にリーク電流特性の向上が図れた。

【図面の簡単な説明】

【図1】強誘電体キャパシタを有する半導体メモリ素子の構造断面図である。

【図2】本発明を用いた強誘電体キャパシタの強誘電特性のステリンスループを示す図である。

【図3】(a)は本発明を用いた印加電圧を0〜10(V)としたときのリーク電流特性を示す図であり、(b)は本発明を用いた印加電圧を0〜+10(V)としたときのリーク電流特性を示す図である。

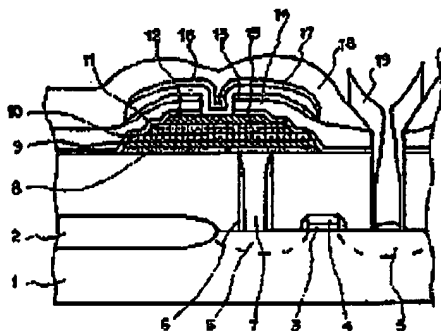
【図4】(a)は従来技術を用いた印加電圧を0〜10(V)としたときのリーク電流特性を示す図であり、(b)は従来技術を用いた印加電圧を0〜+10(V)としたときのリーク電流特性を示す図である。

*としたときのリーク電流特性を示す図である。

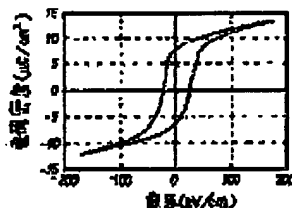
【符号の説明】

- 1 n型シリコン基板
- 2 ロソス酸化膜
- 3 ゲート酸化膜
- 4 ゲート電極
- 5 ソース/ドレイン領域
- 6 第1のシリコン酸化膜
- 7 ポリシリコンプラグ
- 8 タンタルシリコン窒化膜
- 9 イリジウム膜
- 10 イリジウム酸化膜
- 11 SBT膜
- 12 上部電極
- 13 酸化チタン膜
- 14 第2のシリコン酸化膜
- 15 チタン膜
- 16 白金膜
- 17 窒化チタン膜
- 18 第3のシリコン酸化膜
- 19 アルミニウムの引き出し電極

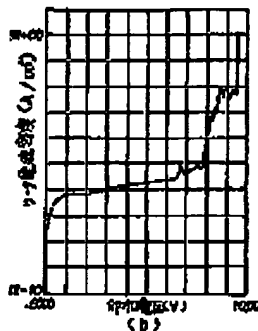
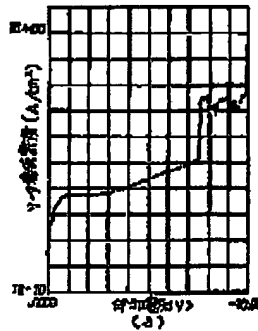
【図1】



【図2】



【図4】



(5)

特開平11-307736

【図3】

